

English abstract for German patent 27 04 373

Semiconductor devices comprising different elements - based on a substrate with cavities

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 004 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
NL 7701119	A	19770804				197733 B
DE 2704373	A	19770818				197734
US 4199777	A	19800422				198018
JP 52093285	A	19770805				199127

Abstract (Basic): NL 7701119 A

Semiconductor devices comprise at least two types of elements made of different semiconductive materials. At least one of the elements is located in a cavity, in a substrate, and both elements are electrically connected via a layer of conductive material. The latter is formed on an insulating layer deposited on the elements and the substrate.

System can be employed in solid-state image-forming devices comprising photoelectric transducer elements (e.g. of GaP, CdS, Se, Se-As-Te, Se-Ge-Te, As₂Se₃ or amorphous Si) and pick-up elements (e.g. Si transistors). The devices can be used, e.g. in electronic copying machines.

Devices contg. a large no. of the elements can be produced using photo-etching techniques to form the connections between the various elements.

51

Int. Cl. 2:

H01 L 31/16

19 BUNDESREPUBLIK DEUTSCHLAND



DT 27 04 373 A 1

11

Offenlegungsschrift 27 04 373

21

Aktenzeichen: P 27 04 373.8-33

22

Anmeldetag: 2. 2. 77

43

Offenlegungstag: 18. 8. 77

30

Unionspriorität:

32 33 31

2. 2. 76 Japan 9381-76

54

Bezeichnung: Halbleiteranordnung und Verfahren zur Herstellung von Halbleiteranordnungen

71

Anmelder: Hitachi, Ltd., Tokio

74

Vertreter: Schiff, K.L.; Föner, A.v., Dr.; Strehl, P., Dipl.-Ing.; Schübel-Hopf, U., Dr.; Ebbinghaus, D., Dipl.-Ing.; Pat.-Anwälte, 8000 München

72

Erfinder: Maruyama, Eiichi, Kodaira; Yamamoto, Hideaki, Hachioji; Tokio (Japan)

Prüfungsantrag gem. § 28 b PatG ist gestellt

8. 77 709 833/818

11/70

ORIGINAL INSPECTED

Patentansprüche

1. Halbleiteranordnung mit wenigstens zwei Sorten von Halbleiterelementen, die aus unterschiedlichen Halbleitermaterialien hergestellt sind, d a d u r c h g e k e n n z e i c h n e t , dass wenigstens eine Sorte (5, 11, 23, 28, 29) der Halbleiterelemente (A, 5; 11, 14; 20, 23; 28, 29) in einer in einem Substrat (1, 8, 16, 27) vorgesehenen Ausnehmung (2, 9, 17, 32, 33) angeordnet ist und beide Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) mit einer Schicht (7, 13, 25, 35) aus leitendem Material, das auf einer Isolierschicht (6, 12, 24, 34) liegt, elektrisch verbunden sind, wobei die Isolierschicht (6, 12, 24, 34) so aufgebracht wurde, dass sie für die Halbleiterelemente (A, 5; 11, 14; 20, 23; 28, 29) und das Substrat (1, 8, 16, 27) gemeinsam vorliegt.
2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, dass ein erstes Halbleiterelement der zwei Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) ein aus Silicium hergestelltes Element ist.
3. Halbleiteranordnung nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass ein zweites Halbleiterelement der zwei Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) aus einem Material hergestellt ist, welches aus einer Verbindung von Elementen der Gruppe II und VI des Periodensystems der Elemente oder einer Verbindung von Elementen der Gruppe III und V des PSE besteht.
4. Halbleiteranordnung nach einem der Ansprüche 1 und 2, dadurch gekennzeichnet, dass ein zweites Halbleiterelement der zwei Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) aus einem amorphen Halbleiter hergestellt ist.

709833/0610

ORIGINAL INSPECTED

. 2 .

5. Halbleiteranordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass der amorphe Halbleiter aus wenigstens einem der Stoffe Se-As-Te, Se-Ge-Te, amorphen Silicium und As_2As_3 zusammengesetzt ist.
6. Halbleiteranordnung nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, dass das Substrat (1, 8, 16, 27) aus Silicium hergestellt ist.
7. Halbleiteranordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass ein erstes Halbleiterelement der zwei Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) ein Silicium-Halbleiterelement ist und im Substrat (1, 8, 16, 27) ausgebildet ist, und ein zweites Halbleiterelement aus einem Material hergestellt ist, welches aus einer Verbindung von Elementen der Gruppe .II und VI des PSE oder einer Verbindung von Elementen der Gruppe III und V des PSE besteht.
8. Halbleiteranordnung nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass das Substrat (1, 8, 16, 27) aus Glas oder Keramikmaterial hergestellt ist.
9. Halbleiteranordnung nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass ein erstes Halbleiterelement (5, 11, 23) der zwei Sorten von Halbleiterelementen (A, 5; 11, 14; 20, 23; 28, 29) in der Ausnehmung (2, 9, 17, 32, 33) und ein zweites Halbleiterelement auf dem Substrat (1, 8, 16, 27) angeordnet ist.
10. Halbleiteranordnung nach einem der Ansprüche 1 bis 9, dadurch gekennzeichnet, dass das erste und zweite Halbleiterelement (28, 29) der zwei Sorten von Halbleiterelementen (28, 29) in Ausnehmungen (32, 33) angeordnet sind (Fig. 8).

11. Halbleiteranordnung nach einem der Ansprüche 1 bis 10, dadurch gekennzeichnet, dass die Halbleiteranordnung eine monolithische Aufnahmeeinrichtung ist.
12. Verfahren zur Herstellung einer Halbleiteranordnung, dadurch gekennzeichnet, dass wenigstens eine Ausnehmung an einer gewünschten Lage auf der Oberfläche eines Substrates ausgebildet wird, wenigstens ein erstes Halbleiterelement in die Ausnehmung eingesetzt wird, um einen Höhenunterschied zwischen der Oberfläche des zu verdrahtenden ersten Halbleiterelementes und der Oberfläche eines zu verdrahtenden zweiten Halbleiterelementes im wesentlichen zu vermeiden, eine Isolierschicht auf die gesamte Fläche des nunmehr vorliegenden Substrats aufgebracht wird, die Isolierschicht teilweise von der Oberfläche des vorliegenden Substrats abgeätzt wird, um die Oberflächen der Anschlüsse, die mit den Oberflächen des ersten bzw. des zweiten Halbleiterelements elektrisch verbunden sind, freizulegen und die freigelegten Anschlüsse mit einem leitenden Material elektrisch verbunden werden.
13. Verfahren zur Herstellung einer Halbleiteranordnung nach Anspruch 12, dadurch gekennzeichnet, dass das Ätzen der Isolierschicht durch Ionenätzung vorgenommen wird.
14. Verfahren zur Herstellung einer Halbleiteranordnung nach Anspruch 12 oder 13, dadurch gekennzeichnet, dass die Isolierschicht eine Siliciumdioxidschicht, eine Polyimid-Kunstharzschicht und eine Epoxy-Kunstharzschicht ist.
15. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 12 bis 14, dadurch gekennzeichnet, dass die Halbleiteranordnung eine monolithische Aufnahmeeinrichtung ist.

16. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 12 bis 15, dadurch gekennzeichnet, dass die Halbleiterelemente aus Silicium, einer Verbindung von Elementen der Gruppe II und VI des PSE, einer Verbindung von Elementen der Gruppe III und V des PSE oder einem amorphen Halbleiter hergestellt sind.
17. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 12 bis 16, dadurch gekennzeichnet, dass das Substrat aus Silicium, Glas oder Keramik hergestellt ist.

PATENTANWÄLTE
SCHIFF v. FÜNER STREHL SCHÜBEL-HOPF EBBINGHAUS 2704373

MÜNCHEN 90, MARIAHILFPLATZ 2 & 3
POSTADRESSE: D-8 MÜNCHEN 95, POSTFACH 95 01 60

• 5 •

HITACHI, LTD.

2. Februar 1977

DA-12 414

Halbleiteranordnung und Verfahren zur Herstellung
von Halbleiteranordnungen

Die Erfindung betrifft Halbleiteranordnungen mit wenigstens zwei Sorten von Halbleiterelementen, die aus unterschiedlichen Halbleitermaterialien hergestellt sind, sowie Verfahren zur Herstellung von Halbleiteranordnungen. Insbesondere bezieht sich die Erfindung auf eine Halbleiteranordnung, bei der ein Halbleiterelement mit einer bestimmten Aufgabe oder Funktion, beispielsweise zum Schalten, Speichern oder Verstärken in integrierter Form mit einem anderen Element, in der Hauptsache einem Element, welches beispielsweise eine photoelektrische Umwandlung durchführt, elektrisch verbunden ist. Die Erfindung betrifft weiterhin insbesondere auch ein Verfahren zur Herstellung einer solchen Halbleiteranordnung.

Bekanntermassen wird Silicium sehr häufig als Herstellungsmaterial für Transistoren, integrierte Schaltungen (IC's), gross-integrierte Schaltungen (LSI's) usw. verwendet. Da

709833/0618

- 2 -
- 6 -

Silicium als Halbleiter jedoch ein verbotenes Band von 1,1 eV und einen optisch empfindlichen Wellenlängenbereich reich im nahen Infrarotbereich aufweist, ist Silicium als Material für ein Element zum Aufnehmen bzw. Empfangen oder Emittieren von sichtbarem Licht ungeeignet.

Als Material für das Element zum Aufnehmen oder Emittieren von sichtbarem Licht wird daher eine Halbleiterverbindung mit einem verbotenen Band verwendet, das grösser als das verbotene Band von Silicium ist. Beispielsweise wird als solche Halbleiterverbindung eine Verbindung von Elementen der Gruppen III und V des PSE, beispielsweise GaP oder eine Verbindung von Elementen der Gruppen II und VI des PSE, etwa CdS verwendet. Für grossflächige Verwendungsweisen wird ein amorphes Halbleitermaterial, beispielsweise Se, verwendet.

Um eine Festkörper-Aufnahme- bzw. Abbildungseinrichtung bzw. eine monolithische Aufnahmeeinrichtung oder eine Festkörper-Anzeigeeinrichtung bzw. eine monolithische Anzeigevorrichtung zu schaffen, bei der die zuvor beschriebenen Licht empfangenden oder Licht emittierenden Halbleiterelemente in einer Fläche angeordnet werden, ist ein monolithisches Element bzw. ein Festkörperelement mit einer Abtastfunktion erforderlich. Mit den heute bekannten Technologien ist es jedoch äusserst schwierig, den monolithischen Abtaster unter Verwendung eines anderen Halbleiters als Silicium herzustellen. Normalerweise ist daher eine Abtastschaltung aus einem Siliciumelement aufgebaut und diese Abtastschaltung ist durch Leitungen, Leiterbahnen oder Verdrahtungen mit opto-elektrischen oder elektro-optischen Wandlern elektrisch verbunden, die aus einem Halbleiter, der nicht Silicium ist, hergestellt sind. Daher ergibt sich eine monolithische Aufnahmeeinrichtung, wie sie beispielsweise in Fig. 1 dargestellt ist.

Fig. 1 dient der Erläuterung der Arbeitsweise eines Ausführungsbeispiels der monolithischen Aufnahmeeinrichtung. Eine grosse

Anzahl von MOS-Transistoren $T_1, T_2, T_3, T_4, T_5 \dots$ sind in einem Siliciumsubstrat S ausgebildet. Photoelektrische Wandler $P_1, P_2, P_3, P_4, P_5 \dots$ sind mit den Source-Elektroden der Transistoren jeweils verbunden.

Auf dem Substrat S ist eine integrierte Abtastschaltung K ausgebildet (die üblicherweise aus einer Tastschaltung zur Festlegung der Abtastsynchronisation und einer Schieberegisterschaltung zum Übertragen der Impulse an die MOS-Transistoren aufgebaut ist). Durch die integrierte Abtastschaltung K wird eine von einer Versorgungsquelle E bereitgestellte Spannung nacheinander an die Gate-Elektroden $G_1, G_2, G_3, G_4, G_5 \dots$ der jeweiligen Transistoren angelegt.

Wenn zu diesem Zeitpunkt Licht auf die photoelektrischen Wandler $P_1, P_2, P_3, P_4, P_5 \dots$ fällt, fließen durch das Licht verursachte Ströme von den Source-Elektroden zu den Drain-Elektroden, wenn Spannung an die Gate-Elektroden angelegt wird. Daher können dem einfallenden Licht entsprechende Signale nacheinander an einer gemeinsamen Elektrode D_0 auftreten, die die Drain-Elektroden $D_1, D_2, D_3, D_4, D_5 \dots$ der jeweiligen Transistoren verbindet.

Wenn bei einer solchen Anordnung die Zahl der Transistoren und der photoelektrischen Wandler vergleichsweise klein ist, können die Leitungen zwischen den jeweiligen Transistoren und photoelektrischen Wandler nacheinander eine nach der anderen durch die Kontaktierung der Metalldrähte oder Metalleitungen durch Thermokompression verbunden werden. Wenn jedoch viele Transistoren und photoelektrischen Wandler vorhanden sind, ist es schwierig, auf diese Weise die elektrische Verbindung bzw. den elektrischen Anschluss vorzunehmen.

Es ist daher wünschenswert, die Silicium-Abtastschaltungselemente, beispielsweise Transistoren und opto-elektrische oder elektro-optische Wandler auf einem einzigen Substrat anzubringen bzw. zu befestigen und die Verbindungen zwischen

den vielen Elementen gleichzeitig durch einen Photoätzvorgang, bei dem Photoresistmaterial verwendet wird, vorzunehmen. Bei der bekannten Einrichtung besteht üblicherweise zwischen dem Siliciumelement und dem opto-elektrischen (oder elektro-optischen) Element, zwischen dem Substrat und dem Siliciumelement, zwischen dem Substrat und dem opto-elektrischen (oder elektro-optischen) Element und/oder zwischen weiteren Schaltungsteilen oder Elementen eine Abstufung oder ein abgestufter Bereich. Dadurch entsteht die Schwierigkeit, dass die Verbindungen, die sich über die Abstufungen oder die abgestuften Bereiche erstrecken, schwierig auszuführen sind oder dass dann, wenn die Verbindungen unter Zwang oder mit einer bestimmten Spannung ausgeführt wurden, die Zuverlässigkeit gering ist, weil sich diese Verbindungen leicht lösen bzw. die Leitungen leicht voneinander trennen. Es ist daher äusserst schwierig, in der Praxis einigermaßen zuverlässige Verbindungen bzw. Kontaktierungen durch Photoätzen auszuführen.

Der Erfindung liegt daher die Aufgabe zugrunde, der den bekannten Einrichtungen und Verfahren anhaftenden Schwierigkeiten zu lösen und im Zusammenhang mit einer Vielzahl von Einrichtungen, beispielsweise im Zusammenhang mit einer monolithischen Aufnahmeeinrichtung und einer monolithischen Wiedergabe- oder Anzeigeeinrichtung, bei denen Siliciumelemente und Elemente, die aus einem anderen Material als Silicium hergestellt sind, auf dem gleichen Substrat befestigt und ausgebildet sind, eine Halbleiteranordnung mit einem Aufbau zu schaffen, bei dem die Verbindungen und Kontaktierungen zwischen den Siliciumelementen und den anderen Elementen in einfacher Weise durch Photoätzen vorgenommen werden können.

Aufgabe der vorliegenden Erfindung ist es auch, Verfahren zur Herstellung von Halbleiteranordnungen anzugeben.

Die gestellte Aufgabe wird durch die im Anspruch 1 angegebene Vorrichtung erfindungsgemäss gelöst. Vorteilhafte Ausgestal-

tungen der Erfindung sind in den Unteransprüchen angegeben.

Ein Verfahren zur Herstellung einer Halbleiteranordnung gemäss Anspruch 12 löst ebenfalls die gestellte Aufgabe. Vorteilhafte Ausgestaltungen des erfindungsgemässen Verfahrens sind in den Ansprüchen 13 bis 17 angegeben.

Erfindungsgemäss ist im Substrat eine Ausnehmung vorgesehen und wenigstens ein Element wird in dieser Ausnehmung befestigt, so dass dadurch die abgestuften Bereiche bzw. die Höhenunterschiede, die zwischen den Silicium-Abtastelemente, den anderen Elementen und dem Substrat vorliegen, verringert werden. Weiterhin werden auf eine auf das Substrat und die Elemente gleichmässig aufgebrachte Isolierschicht Leiterbahnen oder Leitungen aufgebracht und diese als Verdrahtungen verwendet, so dass auf einfache Weise gute elektrische Verbindungen und Kontaktierungen geschaffen werden.

Die erfindungsgemässe Halbleiteranordnung umfasst wenigstens zwei Arten von Halbleiterelementen mit unterschiedlichen Funktionen. Erfindungsgemäss wird wenigstens eine Sorte von Elementen in einer in einem Substrat ausgebildeten Ausnehmung befestigt oder eingesetzt und Leiterbahnen oder Verdrahtungen werden auf einer auf die Elemente und das Substrat zusammen aufgebrachten Isolierschicht ausgebildet, so dass zwischen den Elementen oder zwischen dem Element und dem Substrat keine Abstufung oder kein Zwischenraum entstehen kann. Dadurch ist es möglich, gute Kontaktierungen und Verbindungen auf einfache Weise zu schaffen.

Die Erfindung wird nachstehend anhand der Zeichnungen beispielsweise näher erläutert. Es zeigen:

Fig. 1 eine Darstellung, die der Erläuterung des Grundprinzips einer monolithischen Aufnahmeeinrichtung dient, bei welcher photoelektrische Wandler und Silicium-Abtastelemente verwendet werden,

Fig. 2(a) bis 2(e) und Fig. 3 Verfahrensschritte gemäss einem erfindungsgemässen Ausführungsbeispiel bzw. eine Aufsicht auf eine mit diesem Verfahren hergestellte Halbleiteranordnung,
Fig. 4(a) bis 4(g) und Fig. 5 Verfahrensschritte gemäss einem weiteren erfindungsgemässen Ausführungsbeispiel bzw. eine mit diesem Herstellungsvorgang hergestellte Halbleitereinrichtung in Aufsicht,
Fig. 6(a) bis 6(h) und Fig. 7 eine weitere Ausführungsform der vorliegenden Erfindung und
Fig. 8 einen Querschnitt, der den Aufbau einer Halbleiteranordnung eines weiteren erfindungsgemässen Ausführungsbeispiels wiedergibt.

Die vorliegende Erfindung soll nachstehend anhand von Ausführungsbeispielen beschrieben werden.

Ausführungsbeispiel 1:

Diese Ausführungsform umfasst eine Halbleiteranordnung, in der die Verbindungen bzw. die Verdrahtungen zwischen den Abtastelementen und anderen in einem Substrat ausgebildeten Elementen durch Photoätzen hergestellt werden können, sowie ein Verfahren zur Herstellung der Halbleiteranordnung.

In den Fig. 2(a) bis 2(e) sind Verfahrensschritte zur Herstellung einer solchen Anordnung dargestellt. Wie in Fig. 2(a) dargestellt ist, wird zunächst auf oder in der Oberfläche eines Siliciumsubstrats 1, in dem ein Abtast-Schaltungselement A für die Steuerung ausgebildet ist, Verbindungsanschlüsse 3 des Schaltungselementes A bzw. eine Ausnehmung 2 ausgebildet.

Wie in Fig. 2(b) dargestellt ist, wird ein mit Verbindungsanschlüssen 4 versehenes $\text{GaAs}_{1-x}\text{P}_x$ -Plättchen oder -Chip 5 in die Ausnehmung 2 eingesetzt. Danach wird, wie dies in Fig. 2(c) dargestellt ist, ein Siliciumoxid-Beschichtungsmaterial (welches eine Schicht aus Siliciumdioxid bei dessen

Verwendung bildet und die bei normaler Temperatur aufrechterhalten bleibt) verwendet, um eine Siliciumdioxid-Schicht 6 zu bilden, die etwa 1μ m dick ist. Wenn das Siliciumoxid-Beschichtungsmaterial bei diesem Verfahrensschritt in der zuvor beschriebenen Weise verwendet wird, ist es vorteilhaft, wenn das Plättchen 5 vorher in der Ausnehmung 2, beispielsweise mit einem Epoxy-Harz befestigt wird. Als Material für die Isolierschicht kann anstelle des Silicium-Beschichtungsmaterial ein Kunstharz, beispielsweise Polyimidharz oder Epoxyharz verwendet werden. Da das Plättchen 5 in diesem Falle durch das Kunstharz am Substrat 1 befestigt ist, braucht es nicht vorher in der Ausnehmung 2 befestigt zu werden und kann daher lediglich eingesetzt werden.

Die Siliciumdioxid-Schicht 6 wird zum Aushärten 30 Minuten lang auf 150° C erhitzt.

Die Siliciumdioxid-Schicht 6 wird teilweise durch Plasma-ätzen von der Oberfläche weggeätzt, so dass die Oberflächen der Verbindungsanschlüsse 3 und 4 freiliegen, wie dies in Fig. 2(d) dargestellt ist. Der Höhenunterschied zwischen den Verbindungsanschlüssen 3 und 4 wird, wie aus Fig. 2(d) hervorgeht, ausgeglichen und der Zwischenraum zwischen beiden Verbindungsanschlüssen ist mit der Siliciumdioxid-Schicht 6 gefüllt, so dass der Bereich zwischen den Verbindungsanschlüssen 3 und 4 flach wird.

Nachdem eine etwa 1μ m dicke Aluminiumschicht durch herkömmliches Vakuumaufdampfen auf die gesamte Fläche aufgebracht worden ist, werden die nicht benötigten Bereiche dieser Aluminiumschicht durch Photoätzen entfernt. Dann sind, wie Fig. 2(e) zeigt, beide Verbindungsanschlüsse 3 und 4 über eine Aluminiumleitung 7 elektrisch miteinander verbunden. Da der Bereich zwischen den Verbindungsanschlüssen 3 und den Verbindungsanschlüssen 4 - wie zuvor angegeben - flach ist und weder ein Absatz noch ein Zwischenraum aufweist, sind die ausgebildeten Aluminiumleitungen 7 ausserordentlich gut.

Fig. 3 zeigt die auf diese Weise hergestellte Halbleiteran-

ordnung in Aufsicht und Fig. 2(e) ist eine Querschnittsdarstellung entlang der in Fig. 3 eingezeichneten Schnittlinie A-A'.

Durch Befestigen der photoelektrischen Wandler in der im Substrat ausgebildeten Ausnehmung und durch Ausbildung der für das Substrat und die photoelektrischen Wandler gemeinsamen Isolierschicht (vgl. die Fig. 2(e) und 3) können flache Leitungen bzw. Verdrahtungen sehr leicht hergestellt werden, die keine Absätze oder Höhenunterschiede aufweisen. Beim vorliegenden Ausführungsbeispiel werden lichtemittierende Elemente aus $\text{GaAs}_{1-x}\text{P}_x$ verwendet. Es braucht nicht extra noch betont werden, dass auch andere lichtemittierenden Elemente, beispielsweise aus GaP in ganz derselben Weise verwendet werden können. Erfindungsgemäss können die elektrischen Verbindungen zwischen den mehreren Hundert lichtemittierenden Elementen und den Abtast-Siliciumelementen mit einer kleinen Zahl von Herstellungs- oder Verfahrensschritten sicher und zuverlässig ausgebildet werden.

Ausführungsbeispiel 2:

In den Fig. 4(a) bis 4(g) sind die Verfahrensschritte bei der Herstellung dargestellt, bei der ein ein-dimensionaler Abtastlicht-Aufnahmebereich durch Vorsehen der Verbindungen zwischen einem amorphen Halbleiter-Lichtaufnahmebereich vom Se-As-Te-System und einem Siliciumelement zum Abtasten gebildet wird. Obwohl bei dieser Ausführungsform als Material für den amorphen Halbleiterlicht-Aufnahmebereich Se-As-Te verwendet wird, kann in ganz derselben Weise ein Lichtaufnehmerbereich behandelt werden, der aus irgendeinem anderen amorphen Halbleiter, beispielsweise aus Se-Ge-Te, As_2Se_3 und amorphem Silicium hergestellt ist. Insbesondere ist ein amorpher Halbleiter mit wenigstens 50 Atom% Se bei einem Lichtaufnehmer oder einem Lichtempfänger für sichtbares Licht vorteilhaft.

Wie in den Fig. 4(a) und 4(b) dargestellt ist, ist ein Keramiksubstrat 8 mit einer Ausnehmung 9 versehen, in der ein Silicium-

- 8 -

- 13.

Plättchen 11 mit Verbindungsanschlüssen 10 und eine (nicht dargestellte) Abtastschaltung befestigt ist.

Danach wird ein Polyimid-Kunstharz auf die gesamte Oberfläche aufgebracht und eine etwa $3\text{ }\mu\text{m}$ dicke Kunstharzschicht 12 gebildet (vgl. Fig. 4(c)).

Die Kunstharzschicht 12 wird ausgehärtet, indem die soweit fertiggestellte Anordnung 1 Stunde lang auf 170°C erhitzt wird. Danach wird die Kunstharzschicht 12 teilweise von der Oberfläche durch Plasmaätzen mit Sauerstoffgas abgeätzt, so dass die Oberfläche des Anschlusses 10 freiliegt, wie dies in Fig. 4(d) dargestellt ist.

Wie Fig. 4(e) zeigt, werden streifenförmige Aluminiumelektroden 13 durch Aufbringen einer etwa $1\text{ }\mu\text{m}$ dicken Aluminiumschicht durch Vakuumaufdampfen und durch nachfolgendes Entfernen der unnötigen Teile durch einem Photoätzvorgang, gebildet.

Die Fig. 4(f) und 4(g) zeigen, wie eine etwa $2\text{ }\mu\text{m}$ dicke Se-As-Te-Photoleiterschicht 14 auf den streifenförmigen Aluminiumelektroden 13 durch Maskenaufdampfung gebildet werden und weiterhin wie die Aluminiumelektroden 15, die zwischen sich einen schmalen Schlitz aufweisen, durch Maskenaufdampfen auf den streifenförmigen Aluminiumelektroden 13 ausgebildet werden.

Fig. 5 zeigt den mit einem solchen Verfahren hergestellten, ein-dimensionalen Abtastlicht-Aufnahmebereich in Aufsicht und Fig. 4(g) zeigt einen Querschnitt entlang der in Fig. 5 eingezeichneten Schnittlinie A-A'. Ein einkommendes Lichtsignal gelangt durch den Schlitz zwischen den beiden Aluminiumelektroden 15 auf die photoleitende Schicht 14. Wie in Fig. 5 dargestellt ist, kann der ein-dimensionale Abtastlicht-Aufnahmebereich gemäss diesem Ausführungsbeispiel so lang sein, wie die Se-As-Te-Photoleiterschicht 14, ohne dass der Lichtaufnehmerbereich durch die Abmessung des Abtastsilicium-Elementenplättchens beschränkt oder begrenzt ist. Es ist daher ein Licht-

aufnehmer vorteilhaft, der für das Aufnehmen oder Abtasten eines Faksimiles, für ein elektronisches Kopiergerät oder dgl. verwendet wird. Es ist weiterhin möglich, mehrere Abtast-silicium-Elementenplättchen zusammen zu setzen bzw. zu verbinden.

Ausführungsbeispiel 3:

Die Fig. 6(a) bis 6(h) sind Querschnitte, die den Herstellungsvorgang für einen Lichtaufnehmerbereich zeigen, bei dem CdSe verwendet wird. Fig. 7 zeigt den durch dieses Verfahren hergestellten Lichtaufnehmerbereich in Aufsicht.

Wie in Fig. 6(a) dargestellt ist, wird zunächst in einem Hartglassubstrat 16 eine Ausnehmung 17 gebildet. Danach werden streifenförmige, lichtdurchlässige, leitende Schichten (Nesa-Schichten) 18 aufgebracht, auf denen dann ein Cr-Au-Leitungsanschluss 19 an einem Ende jeder lichtdurchlässigen, leitenden Schicht ausgebildet wird (vgl. die Fig. 6(d) und 6(c)).

Indem man das Substrat auf einer Temperatur von 150°C erhitzt, wird in einem Vakuum mit einem Druck von 3×10^{-6} Torr eine photoleitende CdSe-Schicht 20 durch Maskenaufdampfung aufgebracht, wie dies in Fig. 6(d) dargestellt ist.

In einer Sauerstoffatmosphäre unter einem Druck von 1 atm wird eine Wärmebehandlung bei 350°C 1 Stunde lang durchgeführt, um die Rekristallisierung der CdSe-Schicht 20 zu erhöhen und dadurch die Lichtempfindlichkeit dieser Schicht zu verbessern.

Nachdem das Substrat wieder auf Zimmertemperatur gebracht worden ist, wird, wie in Fig. 6(e) dargestellt ist, durch Maskenaufdampfung eine Aluminiumelektrode 21 auf die CdSe-Schicht 20 aufgebracht und darauf dann ein elektrischer Anschluss 26 ausgebildet.

- 14 -
• 15 •

Danach wird ein Siliciumplättchen 23 mit Anschlüssen 22 und eine (nicht dargestellte) Abtastschaltung in der Ausnehmung 17 des Substrates 16 befestigt (vgl. Fig. 6(f)). Danach wird über die gesamte Fläche hinweg eine Schicht 24 aus Epoxyharz aufgebracht. Zwar wird die Kunstharzschicht 24 als Isolierschicht aufgebracht. Sie dient jedoch auch als Schutzschicht für die photoleitende CdSe-Schicht 20.

Nachdem die Epoxyharzschicht 24 bei einer Wärmebehandlung des ganzen Substrats 1 Stunde lang bei 100° C ausgehärtet ist, wird die Epoxyharzschicht 24 teilweise durch Plasmaätzen mit Argon von der Oberfläche abgeätzt, so dass beide Anschlüsse 19 und 22 frei liegen. Danach werden beide Anschlüsse 19 und 22 mit einer 1 µm dicken Aluminiumschicht 25 durch das herkömmliche Vakuumaufdampf-Photoätzverfahren verbunden. Dann wird die photoleitende CdSe-Schicht 20 und das Abtastsilicium-Plättchen 23 über die lichtdurchlässigen Elektroden 18 miteinander verbunden. Der Anschluss 26 ist ein Anschluss für die sich ergebenden Signale und er wird zur Ableitung der sich ergebenden Ströme verwendet, die den Lichteinfall auf die photoleitende Cd-Se-Schicht 20 durch die lichtdurchlässigen Elektroden 18 hindurch entsprechen.

Fig. 7 zeigt das Ausführungsbeispiel mit einem einzigen Abtastsilicium-Plättchen 23. Selbstverständlich können auch mehrere Siliciumplättchen auf dieselbe Weise am Substrat 16 befestigt werden, ohne dass man sich auf das einzige Siliciumplättchen 23 beschränken muss.

Bei der vorliegenden Ausführungsform wird als photoelektrischer Wandler das Cd-Se-Element. Es muss nicht extra noch betont werden, dass gute Verbindungen in entsprechender Weise auch dann ausgeführt werden können, wenn ein Element mit einem photoelektrischen Wandlermaterial verwendet wird, das nicht aus Cd-Se, sondern aus einer Verbindung von Elementen der GruppenII - VI des PSE oder einer Verbindung von Elementen der GruppenIII - V besteht.

Ausführungsbeispiel 4:

Bei den Ausführungsbeispielen 1 bis 3 ist nur eines der Elemente mit unterschiedlichen Funktionen in der im Substrat vorgesehenen Ausnehmung eingesetzt und das andere Element ist auf dem Substrat angebracht oder im Substrat durch Diffusion oder einem ähnlichen Vorgang ausgebildet.

Erfindungsgemäss kann jedoch auch eine Anordnung geschaffen werden, bei der nicht nur das eine Element, sondern auch das andere Element in der im Substrat vorgesehenen Ausnehmung untergebracht wird.

Fig. 8 zeigt einen teilweisen Querschnitt durch eine Anordnung gemäss dieser Ausführungsform. Das Ausführungsbeispiel ist eine Halbleiteranordnung, in der ein lichtemittierender $\text{GaAs}_{1-x}\text{P}_x$ -Elementenbereich 28 und ein Silicium-Steuerelement 29 in Ausnehmungen 32 bzw. 33, die in einem Glassubstrat 27 vorgesehen sind, untergebracht sind, wobei die Halbleiteranordnung mit demselben Verfahren, wie es im Zusammenhang mit dem Ausführungsbeispiel 1 beschrieben wurde, hergestellt werden kann.

Sowohl der lichtemittierende Elementbereich 28 als auch das Siliciumelement 29 sind 100 bis 200 μm dick. Um eine gute Verbindung zu erhalten, darf der Höhenunterschied zwischen einem Anschluss 30 des Elements 28 und einem Anschluss 31 des Elements 29 nicht grösser als 10 μm sein; vorzugsweise sollte dieser Höhenunterschied höchstens 1 μm sein. Offensichtlich kann keine gute Verdrahtung vorgenommen werden, wenn beide Elemente 28 und 29, die so dick sind, auf dem Substrat 27 angeordnet werden. Gemäss der vorliegenden Erfindung sind die Stufen oder Höhenunterschiede zwischen den Anschlüssen der beiden Elemente durch die Ausnehmung nicht vorhanden und der Zwischenraum zwischen den beiden Anschlüssen ist mit der Isolierschicht ausgefüllt (vgl. die Fig. 2(a) bis 2(e), 4(a) bis 4(g), 6(a) bis 6(h) und Fig. 8). Daher ist der Bereich

zwischen den beiden Anschlüssen sehr flach und es können mit den herkömmlichen Verfahren elektrische Verbindungen durch eine gute Aluminiumverdrahtung leicht hergestellt werden.

Wie zuvor beschrieben wurde, können ein lichtaufnehmendes - oder lichtenittierendes Element in Form eines langen Streifens oder eine grosse Zahl von lichtaufnehmenden oder lichtenittierenden Elementen, die in einem Bereich angeordnet sind, erfindungsgemäss sehr leicht elektrisch mit einem Silicium-Abtastelement verbunden werden. Die Verbindungen zwischen den Elementen wurden im Hinblick auf die Stufen und Zwischenräume bis jetzt nur unter sehr grossem Arbeits- und Zeitaufwand ausgebildet. Gemäss der vorliegenden Erfindung können diese Verbindungen ausserordentlich leicht hergestellt werden, wie dies zuvor erläutert wurde. Daher ist die vorliegende Erfindung sehr vorteilhaft bei der Herstellung beispielsweise einer monolithischen Abbildungsvorrichtung oder einer Festkörper-Aufnahmeeinrichtung verwendbar und mit der vorliegenden Erfindung können ausgezeichnete Anordnungen dieser Art hergestellt werden.

2704373

• 21.

Nummer: 27 04 373
 Int. Cl. 2: H 01 L 31/16
 Anmeldetag: 2. F. bruar 1977
 Offenlegungstag: 18. August 1977

FIG. 1

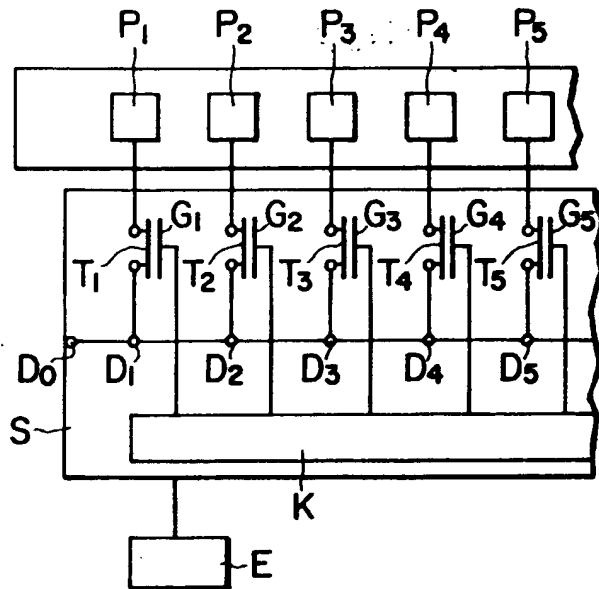


FIG. 5

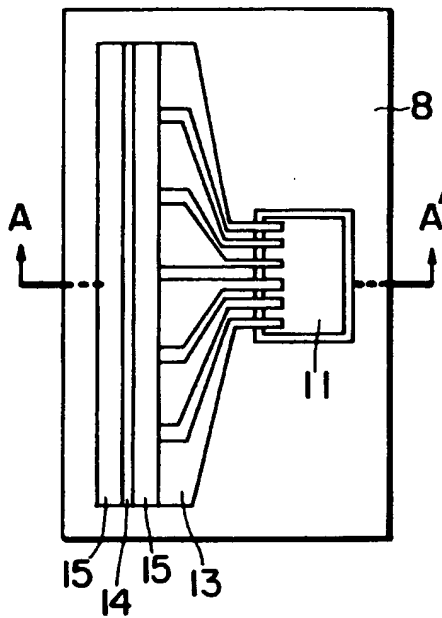


FIG. 7

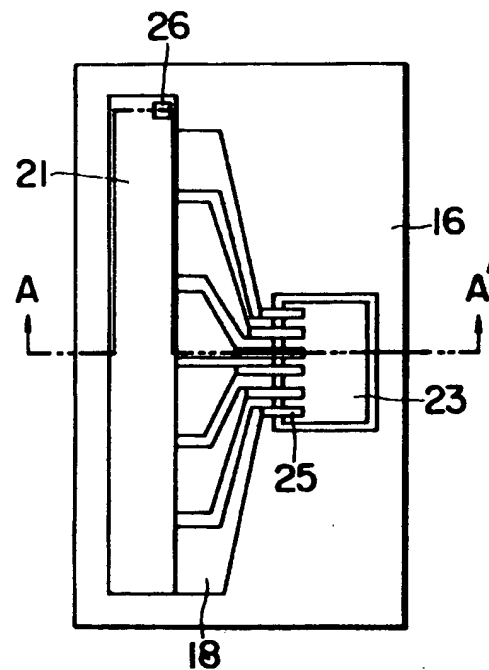
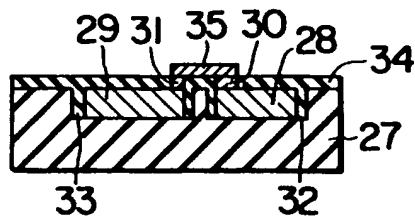


FIG. 8



709833/0610

2704373

18.

FIG. 2(a)

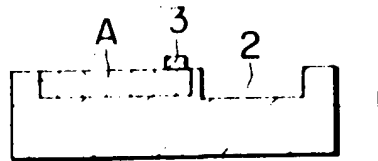


FIG. 2(b)

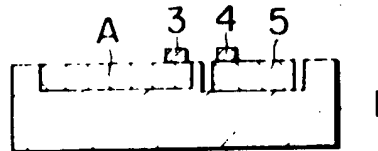


FIG. 2(c)

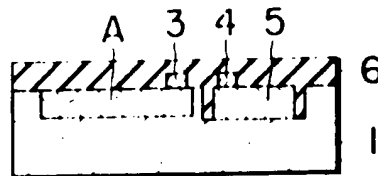


FIG. 2(d)

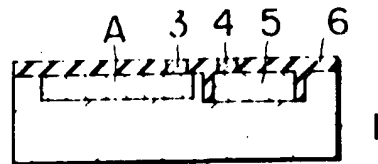


FIG. 2(e)

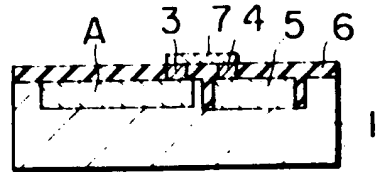
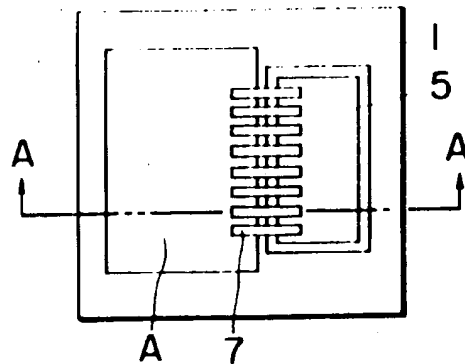


FIG. 3



709833/0618

2704373

19.

FIG. 4(a)

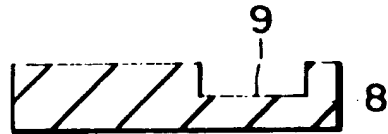


FIG. 4(b)

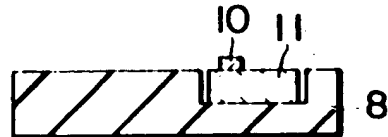


FIG. 4(c)

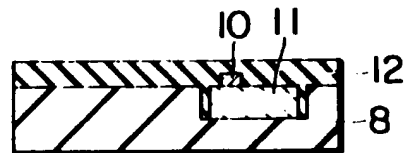


FIG. 4(d)

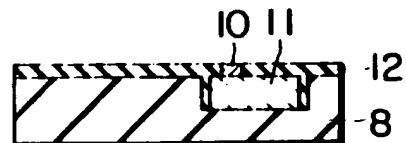


FIG. 4(e)

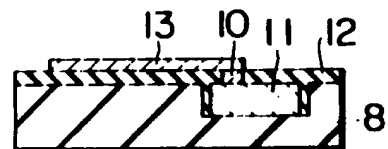


FIG. 4(f)

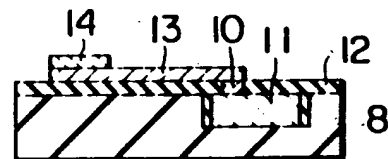
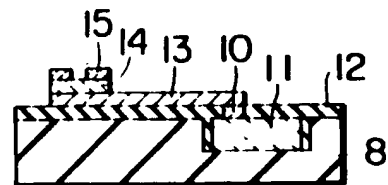


FIG. 4(g)



709833/0618

2704373

• 20 •

FIG. 6(a)

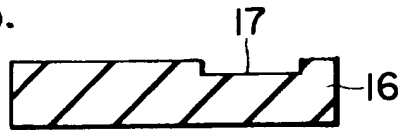


FIG. 6(b)

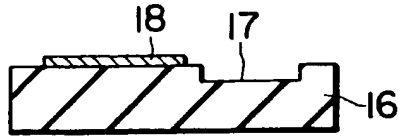


FIG. 6(c)

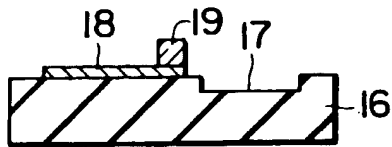


FIG. 6(d)

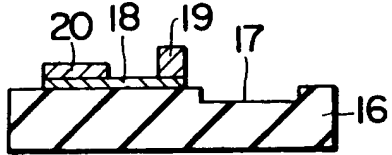


FIG. 6(e)

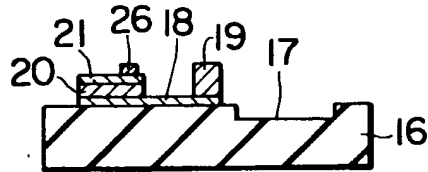


FIG. 6(f)

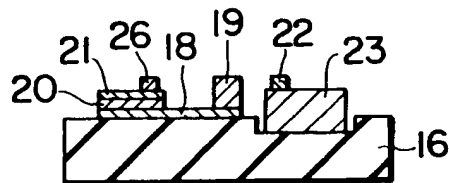


FIG. 6(g)

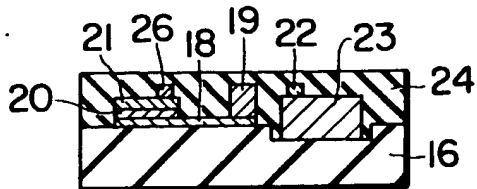
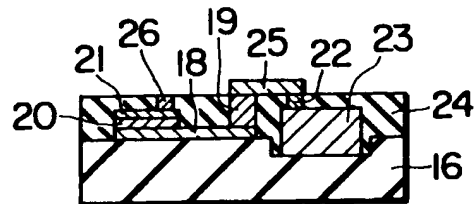


FIG. 6(h)



709833/0618